



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020058285 A
(43)Date of publication of application: 12.07.2002

(21)Application number: 1020000086347
(22)Date of filing: 29.12.2000

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: HUH, MIN

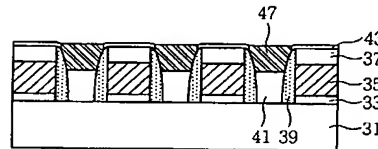
(51)Int. Cl. H01L 21/283

(54) METHOD FOR FORMING PLUG

(57) Abstract:

PURPOSE: A plug formation method of semiconductor devices is provided to reduce a gate parasitic capacitance and to increase a processing margin by forming a plug using an epitaxial growth.

CONSTITUTION: A plurality of word lines(35) having an insulating spacer(39) and a hard mask(37) are formed on a semiconductor substrate(31). A first plug(41) is formed on the substrate by using an epitaxial growth. An etch stopper(43) made of nitride and interlayer dielectric are sequentially formed on the resultant structure. The first plug(41) is exposed by selectively etching the interlayer dielectric. A second plug(47) is formed on the exposed first plug(41) by using an epitaxial growth.



© KIPO 2003

Legal Status

Date of final disposal of an application (20021028)

Patent registration number (1003698650000)

Date of registration (20030115)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2002-0058285
H01L 21/283 (43) 공개일자 2002년07월12일

(21) 출원번호 10-2000-0086347
(22) 출원일자 2000년12월29일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 허민
경기도이천시대월면사동2리삼진아파트5동503호
(74) 대리인 이후동, 이정훈

심사청구 : 있음

(54) 플러그 형성 방법

요약

본 발명은 플러그 형성 방법에 관한 것으로, 특히 에피택셜 성장 공정과 식각 방지막을 사용한 전면 식각 공정을 사용하여 플러그층을 형성하므로, 게이트 기생 정전용량의 증가를 방지하고 공정 여유도를 증가시키므로 소자의 특성 및 수율을 향상시키는 특징이 있다.

도표도

도3a

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래의 일 예에 따른 플러그 형성 방법을 나타낸 공정 단면도
도 2a 내지 도 2c는 종래의 다른 예에 따른 플러그 형성 방법을 나타낸 공정 단면도
도 3a 내지 도 3e는 본 발명의 실시 예에 따른 플러그 형성 방법을 나타낸 공정 단면도

< 도면의 주요 부분에 대한 부호의 설명 >

11, 31 : 반도체 기판 13, 33 : 게이트 산화막
15, 35 : 워드 라인 17 : 제 1 질화막
18, 37 : 제 2 산화막 19 : 제 2 질화막
19a : 제 2 질화막 스페이서 20 : 제 3 산화막
20a, 39 : 제 3 산화막 스페이서 21, 45 : 중간 산화막
23 : 플러그층 41 : 제 1 플러그층
43 : 질화막 47 : 제 2 플러그층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플러그 형성 방법에 관한 것으로, 특히 에피택셜 성장 공정과 식각 방지막을 사용한 전면 식각 공정을 사용하여 플러그층을 형성하므로 소자의 특성 및 수율을 향상시키는 플러그 형성 방법에 관한 것이다.

도 1a 내지 도 1c는 종래의 일 예에 따른 플러그 형성 방법을 나타낸 공정 단면도이고, 도 2a 내지 도 2c는 종래의 다른 예에 따른 플러그 형성 방법을 나타낸 공정 단면도이다.

종래의 일 예에 따른 플러그 형성 방법은 도 1a에서와 같이, 반도체 기판(11)상에 제 1 산화막, 제 1 다결정 실리콘층, 하드 마스크(Hard mask)층인 제 1 질화막(17) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인(Word line)이 형성될 부위에만 남도록 선택적으로 노광 및 현상한

후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 질화막(17), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(11)상에 게이트 산화막(13)을 개재한 워드 라인(15)을 형성한 후, 상기 제 1 감광막을 제거한다.

그리고, 전면에 식각 방지막인 제 2 질화막(19)을 형성한다.

도 1b에서와 같이, 상기 제 2 질화막(19)상에 층간 산화막(21)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이어, 상기 제 2 감광막을 다수개의 플러그들이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한 다음, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 층간 산화막(21)을 자기 정렬 콘택 방법에 의해 선택 식각한 후, 상기 제 2 감광막을 제거한다.

그리고, 상기 층간 산화막(21)을 마스크로 상기 제 2 질화막(19)을 에치백(Etch-back)하여 콘택홀을 형성하고 상기 노출된 워드 라인(15) 일측의 반도체 기판(11) 상에 제 2 질화막 스페이서(19a)를 형성한다.

도 1c에서와 같이, 상기 콘택홀을 포함한 전면에 제 2 다결정 실리콘층을 형성한 후, 상기 층간 산화막(21)을 식각 종말점으로 화학 기계 연마 방법에 의해 상기 제 2 다결정 실리콘층을 평탄 식각하여 플러그층(23)을 형성한다.

그리고, 상기 제 1 질화막(17)을 식각 종말점으로 화학 기계 연마 방법에 의해 상기 제 2 질화막(19), 층간 산화막(21) 및 플러그층(23)을 평탄 식각한다.

종래의 다른 예에 따른 플러그 형성 방법은 도 2a에서와 같이, 반도체 기판(11)상에 제 1 산화막, 제 1 다결정 실리콘층, 하드 마스크층인 제 2 산화막(18) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인이 형성될 부위에만 남도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 2 산화막(18), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(11)상에 게이트 산화막(13)을 개재한 워드 라인(15)을 형성한 후, 상기 제 1 감광막을 제거한다.

그리고, 전면에 식각 방지막인 제 3 산화막(20)을 형성한다.

도 2b에서와 같이, 상기 제 3 산화막(20)상에 층간 산화막(21)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이어, 상기 제 2 감광막을 각각의 플러그가 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한 다음, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 층간 산화막(21)을 선택 식각한 후, 상기 제 2 감광막을 제거한다.

그리고, 상기 층간 산화막(21)을 마스크로 상기 제 3 산화막(20)을 에치백하여 콘택홀을 형성하고 상기 노출된 워드 라인(15) 일측의 반도체 기판(11) 상에 제 3 산화막 스페이서(20a)를 형성한다.

도 2c에서와 같이, 상기 콘택홀을 포함한 전면에 제 2 다결정 실리콘층을 형성한 후, 상기 층간 산화막(21)을 식각 종말점으로 화학 기계 연마 방법에 의해 상기 제 2 다결정 실리콘층을 평탄 식각하여 플러그층(23)을 형성한다.

그리고, 상기 제 3 산화막(20), 층간 산화막(21) 및 플러그층(23)을 화학 기계 연마 방법에 의해 평탄 식각한다.

본 발명이 이루고자하는 기술적 과제

그러나 종래의 플러그 형성 방법은 자기 정렬 콘택 공정을 사용한 플러그 형성 방법에 있어서, 다음과 같은 문제점이 있었다.

첫째, 하드 마스크층과 스페이서를 질화막으로 형성하는 경우, 상기 질화막은 산화막보다 유전상수가 커 게이트 기생 정전용량이 증가하여 소자 특성이 저하된다.

둘째, 하드 마스크층과 스페이서를 산화막으로 형성하는 경우, 플러그간 분리를 위한 화학 기계 연마 공정시 연마중지시점이 불분명하여 공정 여유도가 감소된다.

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 에피택셜 성장 공정과 식각 방지막을 사용한 전면 식각 공정을 사용하여 플러그층을 형성하므로 게이트 기생 정전용량의 증가를 방지하고 플러그간 분리 특성을 향상시키는 플러그 형성 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

본 발명의 플러그 형성 방법은 반도체 기판 상에 절연막 스페이서와 하드 마스크층을 구비한 다수개의 워드 라인들을 형성하는 단계, 상기 반도체 기판 상에 상기 워드 라인보다 낮은 두께로 제 1 에피택셜층을 성장시키는 단계, 전면에 절연막과 층간 절연막을 형성하는 단계, 상기 층간 절연막을 선택 식각하여 상기 플러그층이 형성될 부위의 제 1 에피택셜층을 노출시키는 단계, 상기 노출된 제 1 에피택셜층상에 제 2 에피택셜층을 성장시키는 단계 및 상기 절연막을 식각 종말점으로 전면 식각하여 상기 제 1, 제 2 에피택셜층이 적층된 플러그층을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기와 같은 본 발명에 따른 플러그 형성 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

본 발명의 실시 예에 따른 플러그 형성 방법은 도 3a에서와 같이, 반도체 기판(31)상에 제 1 산화막, 제

1 다결정 실리콘층, 하드 마스크층인 제 2 산화막(37) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인이 형성될 부위에만 남도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 2 산화막(37), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(31)상에 게이트 산화막(33)을 개재한 워드 라인(35)을 형성한 후, 상기 제 1 감광막을 제거한다.

그리고, 전면에 제 3 산화막을 형성하고 에치백하여 상기 워드 라인(35) 양측의 반도체 기판(31)상에 제 3 산화막 스페이서(39)를 형성한다.

도 3b에서와 같이, 전면에 300 ~ 1200°C 온도의 에피택셜 성장 공정을 진행하여 상기 제 3 산화막 스페이서(39) 사이의 반도체 기판(31)상에 단결정 실리콘층으로 50 ~ 5000 Å 두께의 제 1 플러그층(41)을 형성한다.

그리고, 전면에 50 ~ 1000 Å 두께의 식각 방지막인 질화막(43)을 형성한다.

여기서, 상기 질화막(43)을 300 ~ 900°C의 온도로 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure CVD) 또는 APCVD(Atmospheric Pressure CVD) 방법을 사용하여 형성한다.

그리고 상기 질화막(43)은 후속 공정에 있어서 자기 정렬 콘택 공정시 식각 장벽 역할을 하며 그리고 플러그층 분리 위한 화학 기계 연마 공정시 연마 중지막 역할을 한다.

도 3d에서와 같이, 상기 질화막(43)상에 층간 산화막(45)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이며, 상기 제 2 감광막을 상기 제 1 플러그층(41) 상측에만 제거되도록 선택적으로 노광 및 현상한 다음, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 층간 산화막(45)과 질화막(43)을 선택 식각한 후, 상기 제 2 감광막을 제거한다.

도 3d에서와 같이, 전면에 에피택셜 성장 공정을 진행하여 상기 층간 산화막(45) 사이의 제 1 플러그층(41)상에 단결정 실리콘층인 제 2 플러그층(47)을 형성한다.

도 3e에서와 같이, 상기 질화막(43)을 식각 종말점으로 화학 기계 연마 방법에 의해 상기 층간 산화막(45)과 제 2 플러그층(47)을 평탄 식각한다.

발명의 효과

본 발명의 플러그 형성 방법은 에피택셜 성장 공정과 식각 방지막을 사용한 전면 식각 공정을 사용하여 플러그층을 형성하므로, 게이트 기생 정전용량의 증가를 방지하고 공정 여유도를 증가시키므로 소자의 특성 및 수율을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상에 절연막 스페이서와 하드 마스크층을 구비한 다수개의 워드 라인들을 형성하는 단계;

상기 반도체 기판 상에 상기 워드 라인보다 낮은 두께로 제 1 에피택셜층을 성장시키는 단계;

전면에 절연막과 층간 절연막을 형성하는 단계;

상기 층간 절연막을 선택 식각하여 상기 플러그층이 형성될 부위의 제 1 에피택셜층을 노출시키는 단계;

상기 노출된 제 1 에피택셜층상에 제 2 에피택셜층을 성장시키는 단계;

상기 절연막을 식각 종말점으로 전면 식각하여 상기 제 1, 제 2 에피택셜층이 적층된 플러그층을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 플러그 형성 방법.

청구항 2. 제 1 항에 있어서,

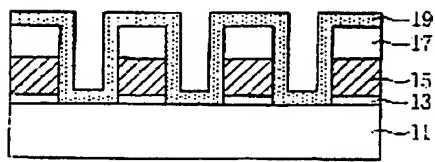
상기 제 1 에피택셜층을 300 ~ 1200°C의 온도 조건에서 50 ~ 5000 Å의 두께로 형성함을 특징으로 하는 플러그 형성 방법.

청구항 3. 제 1 항에 있어서,

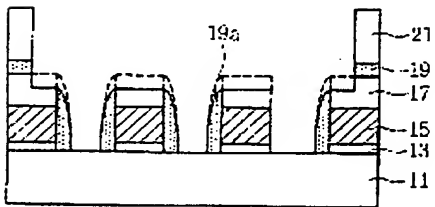
상기 절연막을 300 ~ 900°C의 온도 조건에서 PECVD, LPCVD 또는 APCVD 방법을 사용하여 50 ~ 1000 Å의 두께로 증착된 질화막으로 형성함을 특징으로 하는 플러그 형성 방법.

도면

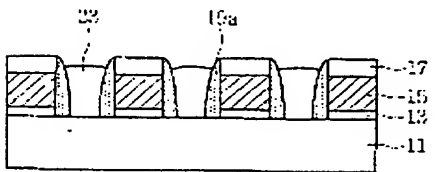
도면 1a



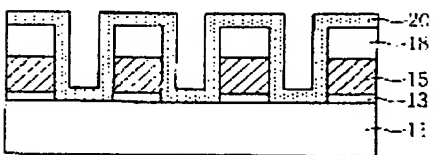
도면 1b



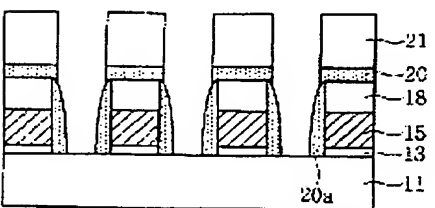
도면 1c



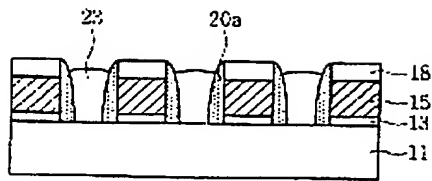
도면 2a



도면 2b



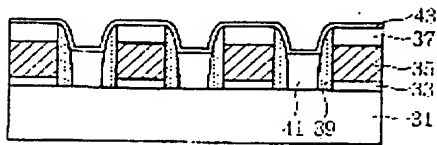
도면2



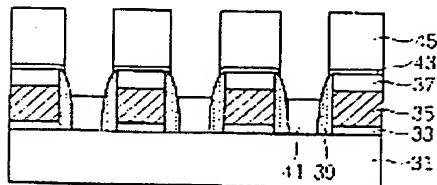
도면3a



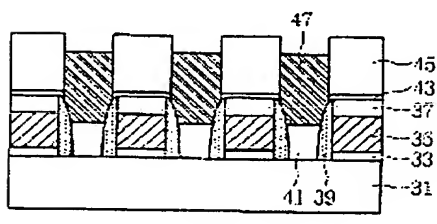
도면3b



도면3c



도면3d



도면3e

